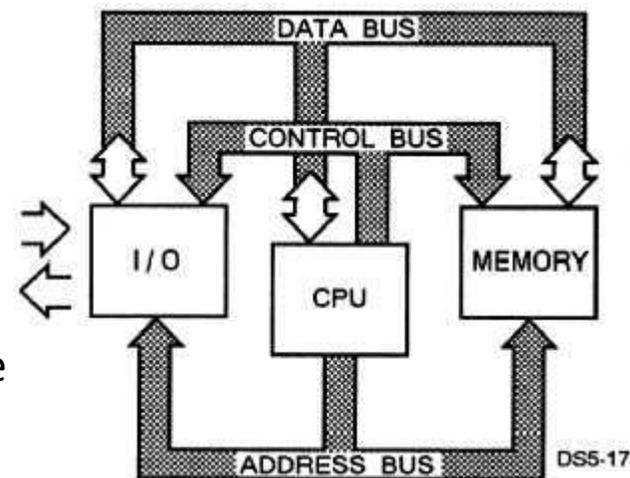


Il Microprocessore

Modello di Von Neumann

Comunicazione tramite bus

- Le linee di comunicazione tra il microprocessore e i dispositivi di supporto sono denominate **bus**.
- Si chiama **bus dati**, o *data bus*, il gruppo delle linee che trasportano dati.
- Si chiama **bus indirizzi**, o *address bus*, l'insieme delle linee che trasportano gli indirizzi.
- Ognuna delle linee che appartiene ad uno dei due bus porta un bit. I bit presenti su tutto il gruppo di linee del bus, in un certo istante, nel loro insieme, rappresentano la codifica di un dato o di un indirizzo.
- A seconda del microprocessore, il bus dati può avere 8, 16, 32 o 64 linee. Il numero di bit del *bus dati* rappresenta il **parallelismo** del microprocessore, cioè la massima dimensione degli operandi che è in grado di trasferire in un singolo periodo di clock



Bus Indirizzi

La larghezza del *bus indirizzi* determina il massimo spazio di indirizzamento, inteso come spazio degli indirizzi di memoria disponibili.

Numero Linee Bus Indirizzi	Spazio di memoria	
16	64 K	2^{16}
20	1 M	2^{20}
24	16 M	2^{24}
32	4 G	2^{32}

Le interfacce di ingresso e uscita sono indirizzate con un numero minore di linee, ad esempio 10, e lo spazio di indirizzi delle periferiche si sovrappone allo spazio di indirizzi della memoria.

Bus di Controllo

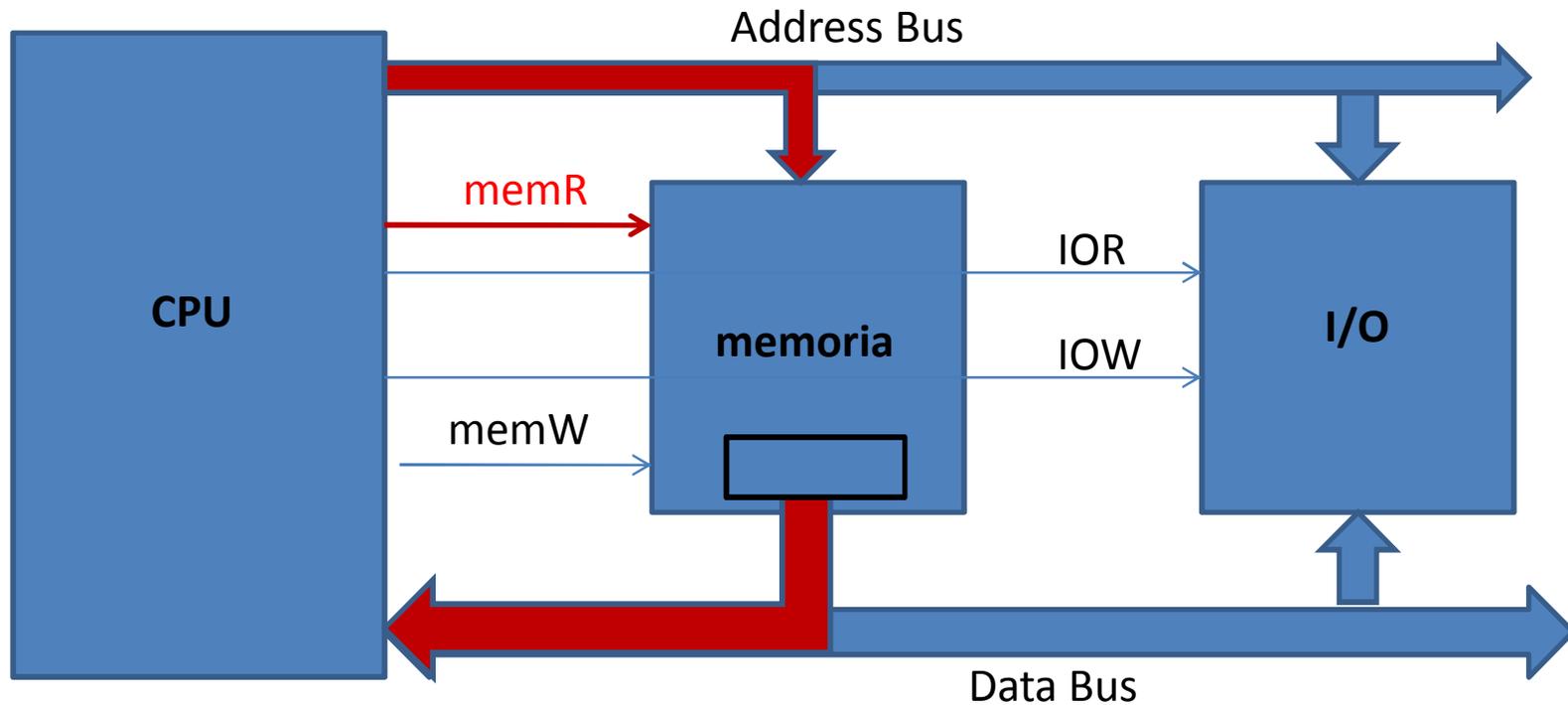
La CPU distingue il destinatario del trasferimento perché, accanto all'indirizzo depositato sul bus, attiva il segnale

- MEMR (Memory Read): l'indirizzo è destinato alla memoria e la CPU legge sul data bus
- MEMW (Memory Write): l'indirizzo è destinato alla memoria e la CPU scrive sul data bus
- IOR (I/O Read): l'indirizzo è destinato ad una periferica e la CPU legge sul data bus il dato fornito dalla periferica
- IOW (I/O Write): l'indirizzo è destinato ad una periferica e la CPU scrive sul data bus il dato che la periferica deve acquisire

I segnali IOR, MEMR, ecc.. sono trasportati su un gruppo di linee denominato Control Bus. A differenza del data bus e dell'address bus, i bit presenti su queste linee hanno ciascuno un significato indipendente dagli altri, e agiscono separatamente l'uno dall'altro.

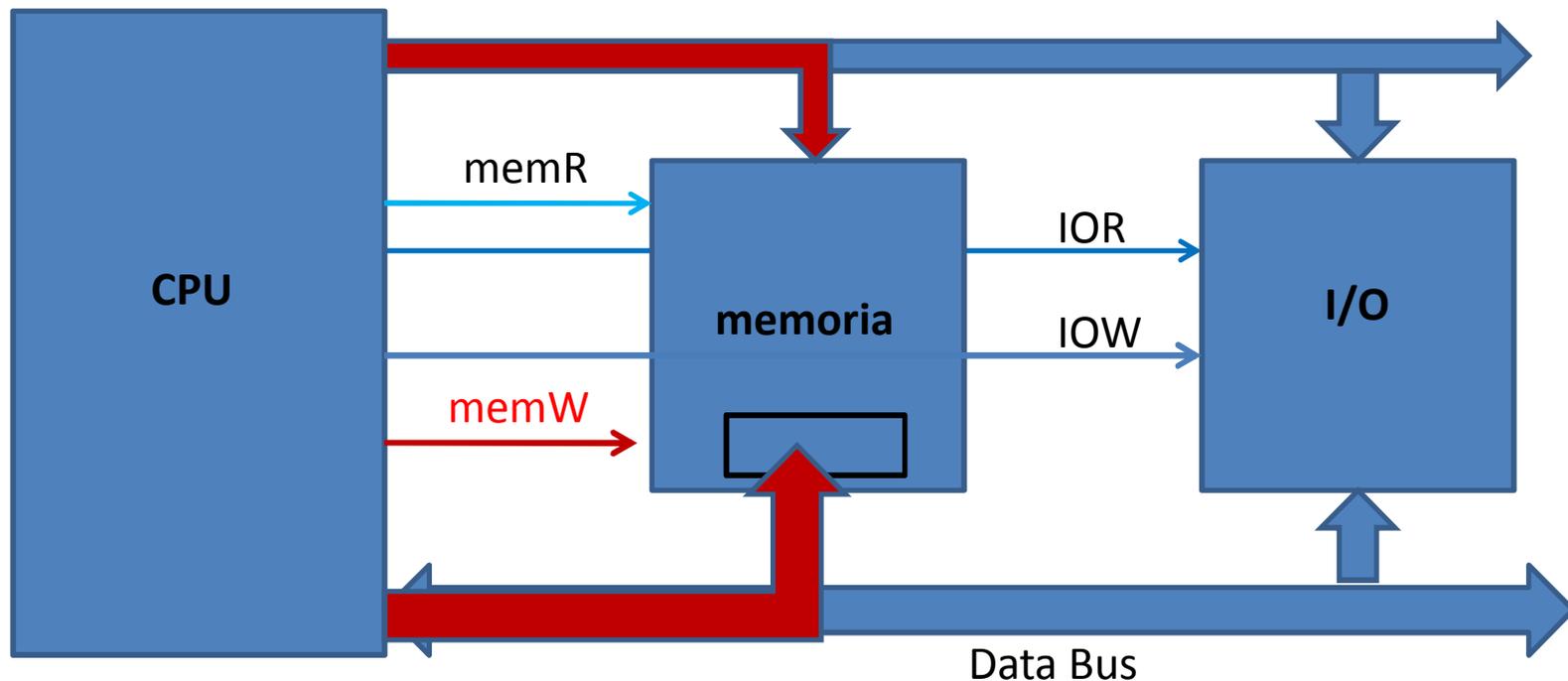
Accesso in memoria

- memR (Memory Read): l'indirizzo è destinato alla memoria e la CPU legge sul data bus il dato che la memoria ha trovato a quell'indirizzo



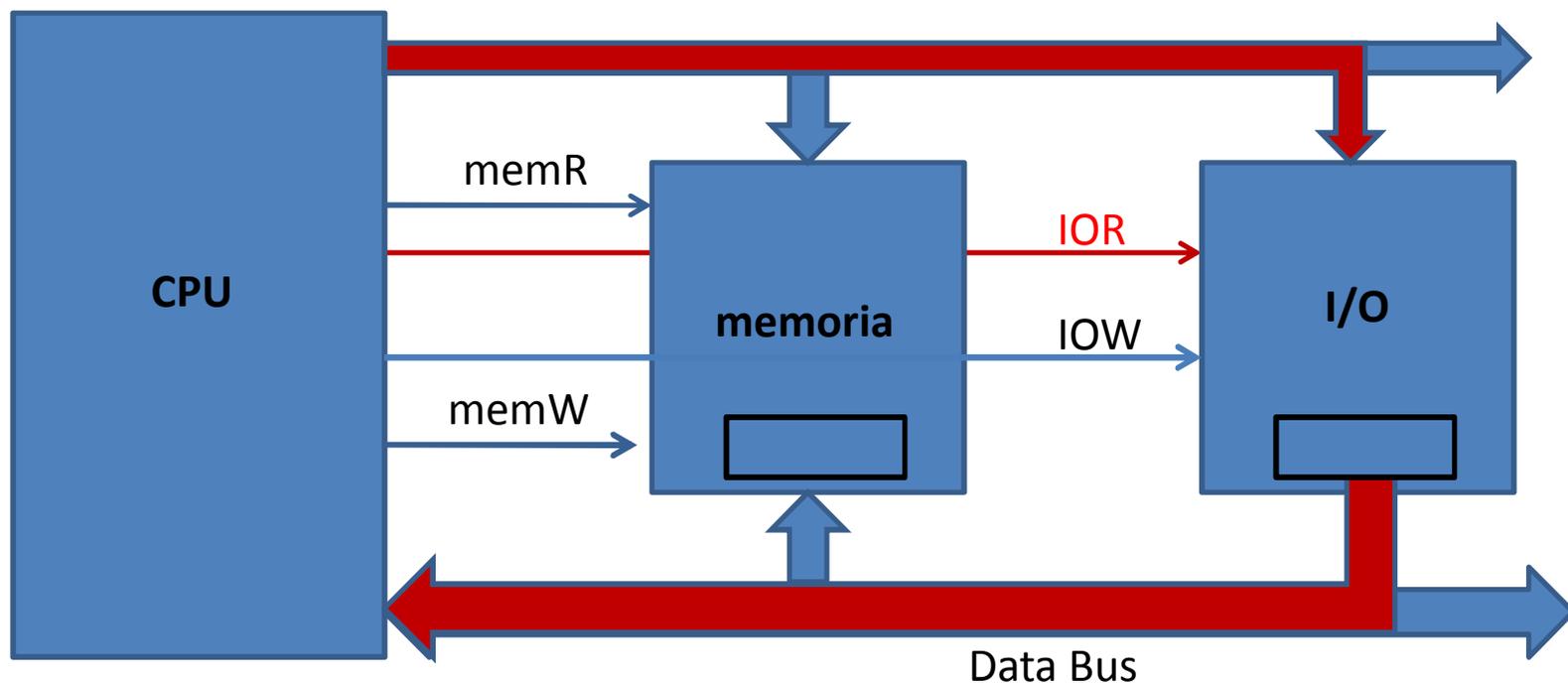
Accesso in memoria

- memW (Memory Write): l'indirizzo è destinato alla memoria e la CPU scrive sul data bus il dato che la memoria deve trasferire nella locazione indirizzata



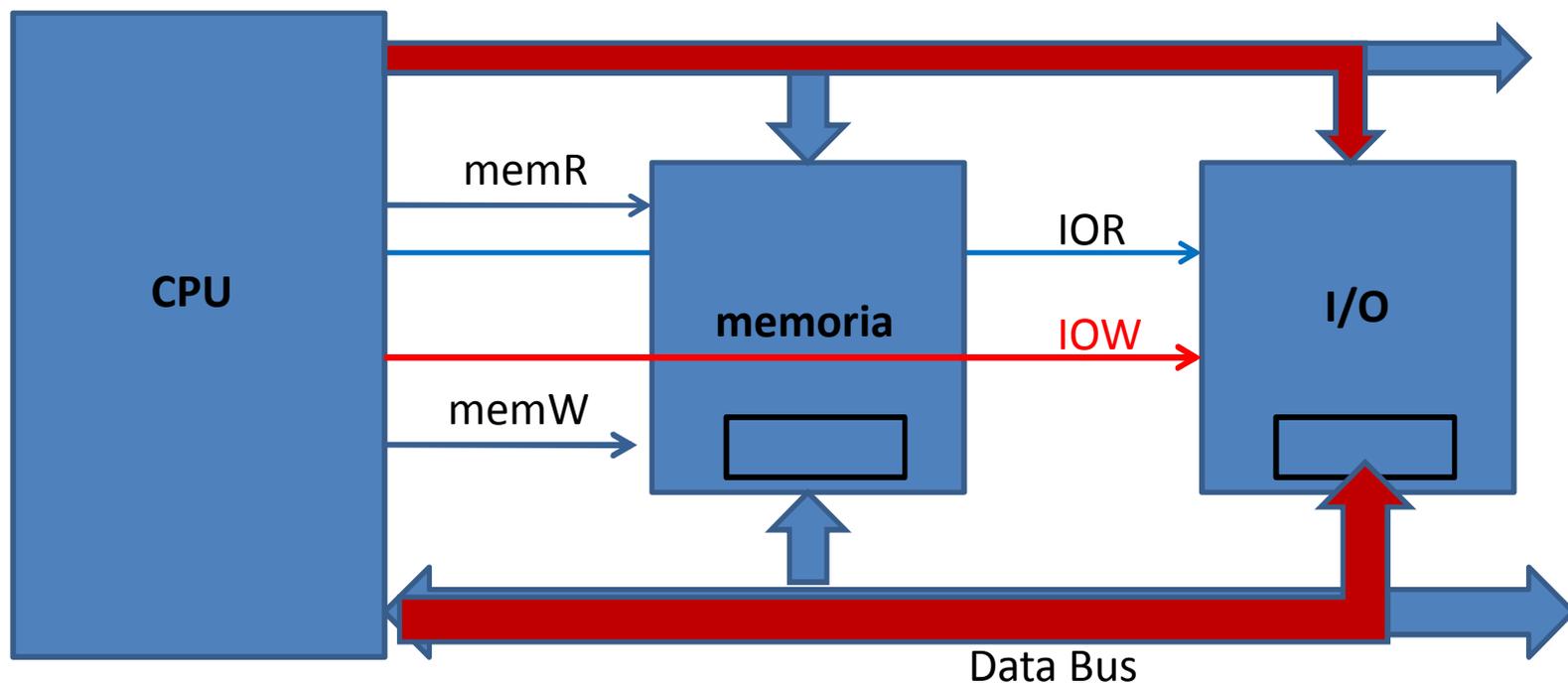
Accesso ai dispositivi periferici

- IOR (Input-Output Read): l'indirizzo è destinato alla periferica e la CPU legge sul data bus il dato che la periferica deve comunicare



Accesso ai dispositivi periferici

- IOW (Input-Output Write): l'indirizzo è destinato alla periferica e la CPU scrive sul data bus il dato che la periferica deve acquisire



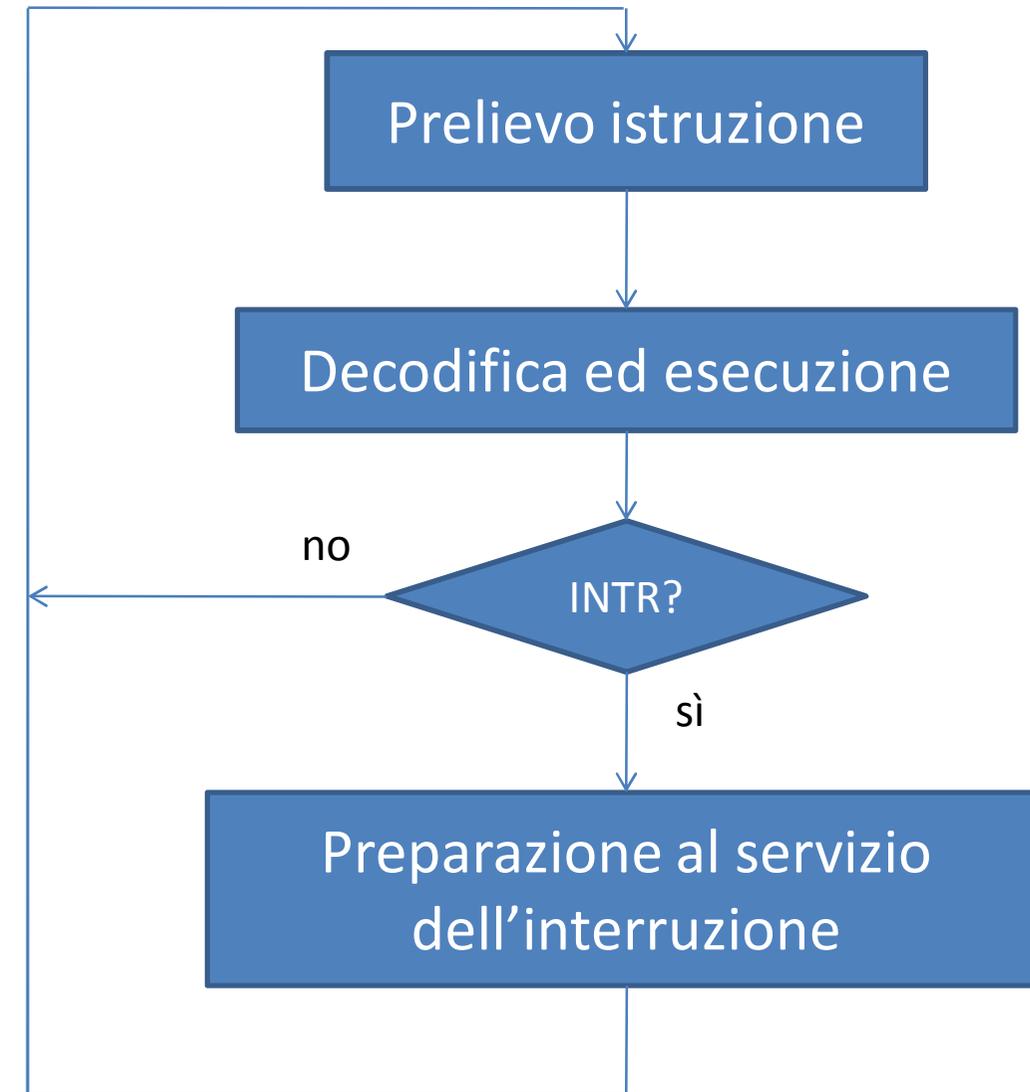
Trasferimento dati

- Il microprocessore supervisiona le operazioni di trasferimento.
- Si dice che l'operazione è di input se il trasferimento dati avviene dal dispositivo alla CPU, si dice di output se il un trasferimento dati avviene dalla CPU al dispositivo periferico.

Registri Riservati

- IP (Instruction Pointer) è un registro della CPU riservato a contenere l'indirizzo della prossima istruzione da eseguire.
- IR (Instruction Register) è un registro della CPU riservato a contenere l'istruzione da decodificare ed eseguire

Ciclo Istruzione



Ciclo Istruzione

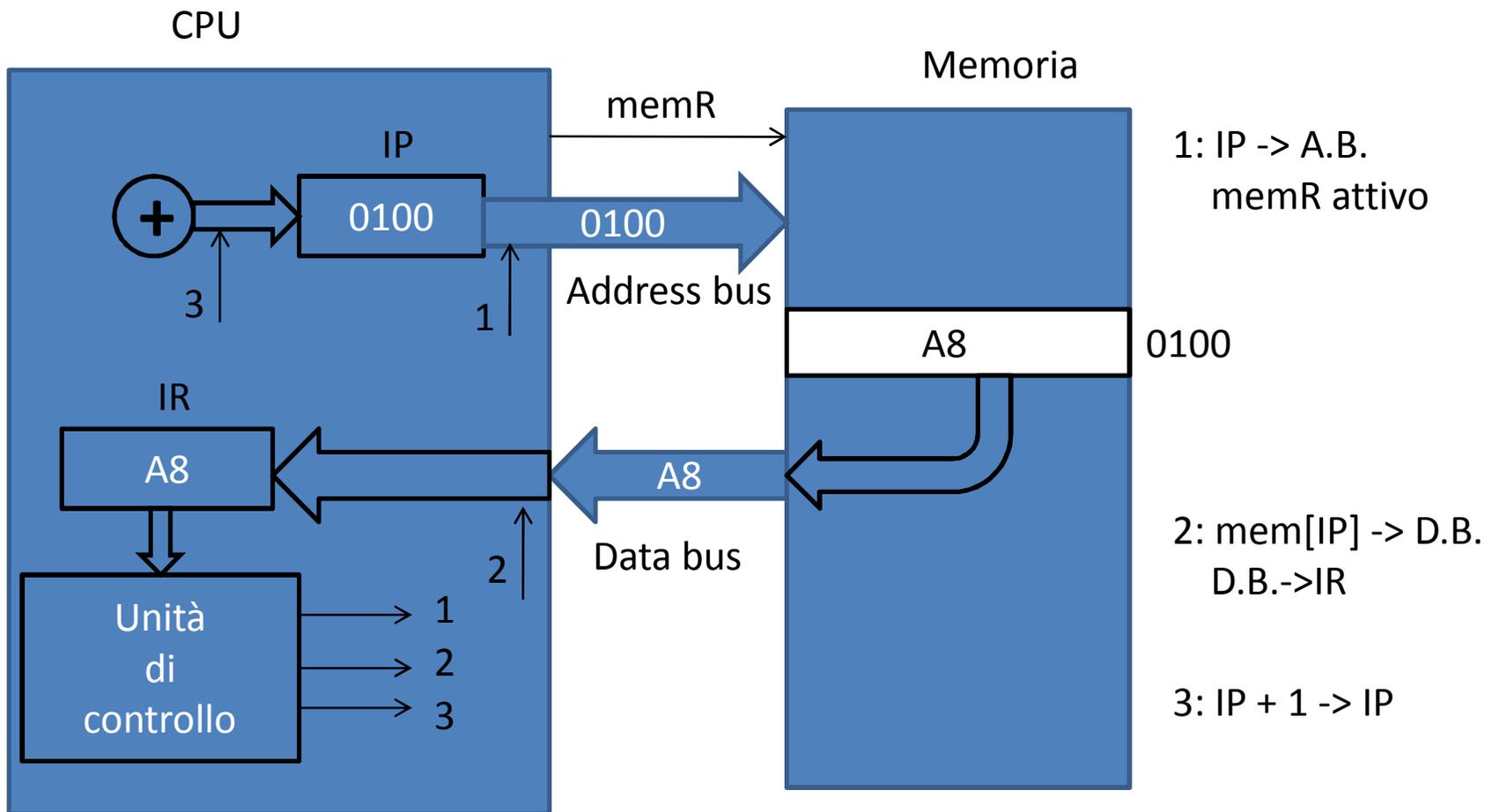
- Un programma risiede in memoria e le sue istruzioni devono essere eseguite una dopo l'altra, nell'ordine in cui si trovano in memoria
- La CPU Preleva, Decodifica ed esegue un'istruzione, al termine dell'esecuzione di un'istruzione, se nessuna periferica ha attivato la linea INTR (Interrupt Request) la CPU ripete le tre operazioni con la successiva istruzione.

Fase di prelievo

l'indirizzo dell'istruzione da prelevare è contenuto nel registro IP (Instruction Pointer)

1. La CPU deposita sul bus indirizzi il valore contenuto in IP, ed attiva il segnale memR
2. La memoria accede alla locazione di memoria specificata e deposita il suo contenuto sul bus dati. La CPU trasferisce il dato in IR.
3. La CPU incrementa di 1 il registro IP, per prepararsi ad eseguire l'istruzione successiva

Prelievo istruzione



Unità di controllo

L'unità di controllo della CPU è una rete sequenziale che durante la fase di prelievo, ad ogni impulso di clock, genera i segnali:

1. Per abilitare il collegamento di IP all'A.B, e attivare memR
2. Per abilitare il collegamento tra il D.B. e l'IR
3. Per incrementare IP

Esecuzione dell'istruzione

- La fase di prelievo viene completata in 3 periodi di clock
- Il numero di impulsi clock per completare la fase di esecuzione dipende dall'istruzione
- L'unità di controllo decodifica l'istruzione e genera la successione di segnali necessari per completare l'operazione.